

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004 年 7 月 15 日 (15.07.2004)

PCT

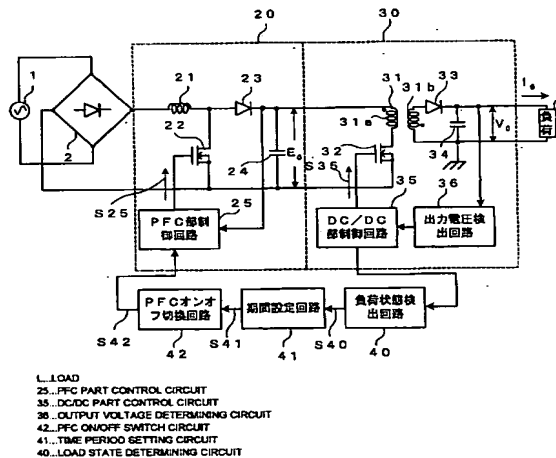
(10) 国際公開番号
WO 2004/059822 A1

- (51) 国際特許分類: H02M 3/28 [JP/JP]; 〒352-8666 埼玉県 新座市 北野 3 丁目 6 番 3 号 Saitama (JP).
- (21) 国際出願番号: PCT/JP2003/015739
- (22) 国際出願日: 2003 年 12 月 9 日 (09.12.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2002-373027
2002 年 12 月 24 日 (24.12.2002) JP
- (71) 出願人 (米国を除く全ての指定国について): サンケン電気株式会社 (SANKEN ELECTRIC CO., LTD.)
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 山田 智康 (YAMADA, Tomoyasu) [JP/JP]; 〒352-8666 埼玉県 新座市 北野 3 丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP). 嶋田 雅章 (SHIMADA, Masaaki) [JP/JP]; 〒352-8666 埼玉県 新座市 北野 3 丁目 6 番 3 号 サンケン電気株式会社内 Saitama (JP).
- (74) 代理人: 木村 満 (KIMURA, Mitsuru); 〒101-0054 東京都 千代田区 神田錦町二丁目 7 番地 協販ビル 2 階 Tokyo (JP).
- (81) 指定国 (国内): CN, JP, KR, US.

[続葉有]

(54) Title: SWITCHING POWER SUPPLY DEVICE, AND METHOD FOR CONTROLLING SWITCHING POWER SUPPLY DEVICE

(54) 発明の名称: スイッチング電源装置及びスイッチング電源装置の制御方法



(57) Abstract: On and off operations of an NMOS (22) cause a DC voltage (E_0) to be charged into a capacitor (24) and also cause a DC output voltage (V_0), which is to be supplied to a load (L) by a DC/DC converting circuit (30), to be charged into a capacitor (34). A load state determining circuit (40) determines whether the load (L) is in a light load state or a non-light load state, and outputs a signal (S40) as a determination signal. When the load state determining circuit (40) outputs a signal of "L" (S41) as a signal indicating that the load (L) is in the light load state, a time period setting circuit (41) outputs a signal of "L" (S41) after a predetermined time period elapses. A PFC on/off switch circuit (42) receives the signal of "L" (S41) to output a control signal of "L" (S25) to a power factor improving circuit (20). Accordingly, if the load (L) gets into the light load state, the operation of the power factor improving circuit (20) stops after the predetermined time period elapses.

(57) 要約: NMOS(22)がオン、オフすることで、直流電圧 E_0 がコンデンサ(24)に充電され、DC/DC変換回路(30)が負荷Lに供給する直流出力電圧 V_0 をコンデンサ(34)に充電する。負荷状態検出回路(40)は、負荷Lが軽負荷状態か非軽負荷状態かを判別し、判別信号として信号(S40)を出力する。負荷状態検出回路(40)が、軽負荷状態であることを示す信号として "L" の信号(S41)を出力すると、期間設定回路(41)は、予め設定された時間経過後に、 "L" の信号(S41)を出力する。PFC

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

オンオフ切換回路(42)は、“L”の信号(S41)が供給されて、“L”の制御信号(S25)を力率改善回路(20)に出力する。従って、負荷Lが軽負荷状態になったときは、予め設定された時間が経過したときに、力率改善回路(20)の動作が停止する。

明細書

スイッチング電源装置及びスイッチング電源装置の制御方法

5 技術分野

本発明は、力率改善回路を搭載したスイッチング電源装置に関するものである。

背景技術

図 1 1 は、従来のスイッチング電源装置を示す回路図である。

- 10 このスイッチング電源装置では、交流電源 1 に接続された全波整流回路 2 の出力側に設けられた力率改善回路 (Power Factor Improvement Circuit) と、力率改善回路の出力側に設けられた DC/DC 変換回路とを有する。スイッチング電源装置が力率改善回路を備えることにより、DC/DC 変換回路の入力電解コンデンサの容量を小さくすることができる。
- 15 力率改善回路は、コイル 3 と、Nチャネル型 MOSFET (以下、NMOS という) 4 と、ダイオード 5 と、コンデンサ 6 と、PFC 部制御回路 7 とを備えている。

力率改善回路では、PFC 部制御回路 7 の出力する制御信号によって NMOS 4 がオン、オフし、コイル 3 にスイッチング電流を繰り返して流す。スイッチング電流は、全波整流回路 2 が発生する脈動電圧の瞬時値に比例する。スイッチング電流が流れることにより、コイル 3 にエネルギーが蓄えられ、そのエネルギーがダイオード 5 を介して直流電圧化されてコンデンサ 6 に充電される。

20

DC/DC 変換回路は、トランス 8 と、NMOS 9 と、ダイオード 10 と、コンデンサ 11 と、DC/DC 部制御回路 12 と、出力電圧検出回路 13 とを備えている。

25

DC/DC 部制御回路 12 は、NMOS 9 のオン、オフを制御する回路であり、DC/DC 部制御回路 12 の出力端子は、NMOS 9 のゲートと接続されている。出力電圧検出回路 13 は、コンデンサ 11 の充電電圧を検出して DC/DC 部制御回路 12 に与える回路である。

このスイッチング電源装置には、さらに、負荷状態検出回路 14 と、PFC オンオフ切換回路 15 とが、設けられている。負荷状態検出回路 14 は、DC/DC 部制御回路 12 に接続されている。負荷状態検出回路 14 と力率改善回路の PFC 部制御回路 7 との間に PFC オンオフ切換回路 15 が配備されている。PFC オンオフ切換回路 15 は、PFC 部制御回路 7 を起動させるか、停止させるものである。

このスイッチング電源装置では、PFC 部制御回路 7 が発生する制御信号に基づき、NMOS 4 がオン、オフする。NMOS 4 がオンしたときに、コイル 3 にスイッチング電流が流れてエネルギーが蓄積される。NMOS 4 がオフした期間 10 に、そのエネルギーがダイオード 5 を介してコンデンサ 6 に供給され、コンデンサ 6 が充電される。コンデンサ 6 には、交流電源 1 が発生する交流電圧よりも高い電圧 E_o で充電される。

一方、DC/DC 部制御回路 12 が NMOS 9 のゲートに与える制御信号により、NMOS 9 がオン、オフする。NMOS 9 がオンしたときに、コンデンサ 6 15 からトランス 8 の一次巻線 8a にスイッチング電流が流れてエネルギーが蓄積される。NMOS 9 がオフしたときに、そのエネルギーがダイオード 10 を介してコンデンサ 11 に充電される。コンデンサ 11 には、負荷 16 に供給するための直流電圧 V_o が充電される。

出力電圧検出回路 13 は、直流電圧 V_o のレベルを検出し、直流電圧 V_o のレベルを示す電圧信号を、DC/DC 部制御回路 12 に与える。DC/DC 部制御回路 12 は、出力電圧検出回路 13 から与えられた電圧信号に基づき、NMOS 9 をオン、オフするタイミングを設定する制御信号を発生する。この制御信号により、NMOS 9 はオン、オフする。負荷状態検出回路 14 は、この制御信号のデューティ比に基づいて負荷 16 の負荷状態が軽負荷か、重負荷かを示す検出結果 25 を出力する。

検出結果が重負荷であることを示すときには、PFC オンオフ切換回路 15 は、PFC 部制御回路 7 から制御信号を発生させてスイッチング動作を継続させ、その結果で得られるエネルギーをコンデンサ 6 に充電させる。

逆に、検出結果が軽負荷であることを示すときには、PFC オンオフ切換回路

15 は、PFC部制御回路7からの制御信号を低レベル（“L”）に固定させ、スイッチング動作を停止させる。これにより、スイッチング電流によって生じたエネルギーのコンデンサ6への充電が停止する。力率改善回路の動作が停止すれば、その分、消費電力は低下する。この状態では、DC/DC変換回路のみが動作する。

このように、従来の力率改善回路を搭載したスイッチング電源装置には、負荷の状態に基づいて力率改善回路の動作を停止させる装置があった（例えば、特開平8-111975号公報参照）。

前述したように、従来のスイッチング電源装置では、負荷16が軽い場合には
10 力率改善回路の動作が停止するので、低消費電力化を実現できる。しかし、力率改善回路が起動を開始してから、力率改善回路の出力電圧が所定電圧に達するまでに、一定の起動時間を要するため、軽負荷と重負荷とが交互に繰り返されると、不都合が生じる。その内容を図12を参照しつつ、説明する。

図12は、従来のスイッチング電源装置の課題を説明するためのタイミングチャートである。

負荷16の消費電力が多く負荷16が重いときには、負荷16に流れる負荷電流 I_0 が増加し、負荷16の消費電力が少なく負荷16が軽いときには、負荷16に流れる負荷電流 I_0 が減少し、コンデンサ11の充電電圧 V_0 が変動しようとする。DC/DC部制御回路12は、出力電圧検出回路13で検出される電圧が一定になるような制御信号を発生し、NMOS9のオン、オフするタイミングを設定する。

ここで、例えば時刻 t_1 で負荷16が所定値を下回れば、制御信号のデューティ比が変化する。負荷状態検出回路14は、そのデューティ比から負荷16の状態を検出し、負荷16が軽い期間に、例えば低レベル（以下、“L”という）の
25 信号S14を発生する。“L”の信号S14が発生している期間には、PFCオンオフ切換回路15により、PFC部制御回路7からNMOS4に与える制御信号が“L”に固定され、力率改善回路が停止する。即ち、NMOS4のスイッチングが停止される。

力率改善回路が停止することにより、コンデンサ6の充電電圧 E_0 が降下する。

力率改善回路が停止したままであれば、コンデンサ 6 の充電電圧 E_0 は、全波整流回路 2 の発生する脈動電圧のほぼ実効値 E_1 になる。

時刻 t_2 で負荷 16 が再び重くなって力率改善回路が動作を開始しても、力率改善回路の出力電圧が所定電圧に達するまでに、一定の起動時間を要する。この
5 間、スイッチング電源装置の負荷は重いので、時刻 t_2 からコンデンサ 6 の充電電圧 E_0 は、急激に降下する。充電電圧 E_0 は、その後の時刻 t_3 から、緩やかに上昇する。

コンデンサ 6 の充電電圧 E_0 が完全に上昇するまでに、再び時刻 t_4 で負荷 16 が軽くなると、再び力率改善回路の動作が停止してコンデンサ 6 の充電電圧 E_0 が
10 そのときの電圧から降下を開始する。

以上のように、負荷 16 が軽くなる状態と重くなる状態とが交互に現れると、コンデンサ 6 の充電電圧 E_0 が、大幅に落ち込む期間 $t_{12} \sim t_{13}$, $t_{15} \sim t_{16}$, $t_{17} \sim t_{18}$ が発生する。電圧値 E_2 [V] を DC/DC 変換回路が出力電圧 V_0 を一定に保持するための最低限必要な電圧とすると、期間 $t_{12} \sim t_{13}$,
15 $t_{15} \sim t_{16}$, $t_{17} \sim t_{18}$ において、コンデンサ 6 の充電電圧 E_0 が、この充電電圧値 E_2 [V] を下回り、DC/DC 変換回路の出力電圧は、低下（ディップ）する。

発明の開示

20 本発明は、負荷が変動しても、出力電圧を維持することが可能なスイッチング電源装置及びスイッチング電源装置の制御方法を提供することを目的とする。

上記目的を達成するために、本発明の第 1 の観点に係る電源装置は、
起動されて充電素子（24, 54）を充電する充電部（20, 50）と、

前記充電素子（24, 54）の第 1 の直流電圧に基づいて第 2 の直流電圧を生成し、生成した第 2 の直流電圧を負荷（L）に印加する直流電圧生成部（30, 60）と、
25

前記充電部（20, 50）を起動するとともに、前記直流電圧生成部（30, 60）が前記第 2 の直流電圧を印加する前記負荷（L）の状態が軽負荷状態か否かを判別し、前記負荷（L）が軽負荷状態になったと判別すると、前記負荷

(L) が軽負荷状態になったと判別してから、予め設定された時間が経過したときに、前記充電部 (20, 50) の前記充電素子 (24, 54) への充電動作を停止させる動作制御部 (40, 41, 42, 70, 71, 72, 80, 90, 100) と、を備えた、

5 ことを特徴とする。

本発明の第2の観点に係る電源装置の制御方法は、

起動されて充電素子 (24, 54) を充電する充電部 (20, 50) と、

前記充電素子 (24, 54) の第1の直流電圧に基づいて第2の直流電圧を生成し、生成した第2の直流電圧を負荷 (L) に印加する直流電圧生成部 (30, 60) と、を備えた電源装置を制御する制御方法であって、

前記負荷 (L) の軽負荷状態か否かを判別するステップと、

前記負荷 (L) が軽負荷状態になったと判別すると、前記予め設定された時間が経過したときに、前記充電部 (20, 50) の動作を停止させるステップと、

15 を備えた、

ことを特徴とする。

図面の簡単な説明

図1は、本発明の第1の実施形態に係るスイッチング電源装置を示す構成図である。

図2は、図1中のDC/DC部制御回路、出力電圧検出回路及び負荷状態検出回路を示す回路図である。

図3は、図1中の期間設定回路を示す回路図である。

図4は、図1中のPFCオンオフ切換回路を示す回路図である。

25 図5は、図1のDC/DC変換回路30の出力電圧の状態を説明するためのタイミングチャートである。

図6は、本発明の第2の実施形態に係るスイッチング電源装置を示す構成図である。

図7は、期間設定回路の変形例を示す回路図である。

図 8 は、負荷状態検出回路の変形例を示す回路図である。

図 9 は、P F C オンオフ切換回路の変形例を示す回路図である。

図 1 0 は、P F C オンオフ切換回路の他の変形例を示す回路図である。

図 1 1 は、従来のスイッチング電源装置を示す構成図である。

- 5 図 1 2 は、従来のスイッチング電源装置の課題を説明するためのタイミングチャートである。

発明を実施するための最良の形態

(第 1 の実施形態)

- 10 本発明の第 1 の実施形態に係るスイッチング電源装置は、図 1 に示すように、
力率改善回路 2 0 と、D C / D C 変換回路 3 0 と、負荷状態検出回路 4 0 と、期
間設定回路 4 1 と、P F C オンオフ切換回路 4 2 とを備え、負荷 L に直流電圧 V。
を供給する。

全波整流回路 2 は、交流電源 1 が発生する交流電圧を整流して力率改善回路 2
15 0 に脈流電圧を印加する。

力率改善回路 2 0 は、全波整流回路 2 の出力端に接続され、スイッチング電流
を、脈流電圧に追従するように制御することにより力率を改善する回路である。
力率改善回路 2 0 は、非絶縁形であり、コイル 2 1 と、N M O S 2 2 と、ダイオ
ード 2 3 と、コンデンサ 2 4 と、P F C 部制御回路 2 5 とを備えている。

- 20 コイル 2 1 の一端は、全波整流回路 2 の正極に接続され、コイル 2.1 の他端が、
スイッチング素子である N M O S 2 2 のドレインとダイオード 2 3 のアノードと
に接続されている。N M O S 2 2 のソースは、全波整流回路 2 の負極に接続され
ている。ダイオード 2 3 のカソードは、充電素子としてのコンデンサ 2 4 の一方
の電極に接続され、コンデンサ 2 4 の他方の電極は、全波整流回路 2 の負極に接
25 続されている。

P F C 部制御回路 2 5 は、N M O S 2 2 に制御信号 S 2 5 を供給して、力率改
善回路 2 0 全体を制御するための回路であり、図 4 に示すように、タイミング制
御回路 2 5 a を備えている。タイミング制御回路 2 5 a は、N M O S 2 2 に供給
する制御信号 S 2 5 を生成する回路であり、その出力端子は、図 1 に示すように、

NMOS 22 のゲートに接続されている。コンデンサ 24 の充電電圧 E_0 が、力率改善回路 20 の出力電圧になる。

NMOS 22 は、PFC 部制御回路 25 から出力された制御信号 S 25 のレベルが高レベル（以下、“H”という）になるとオンし、低レベル（以下、“L”という）になるとオフする。NMOS 22 がオン、オフすると、力率改善回路 20 は、動作を開始して、コンデンサ 24 を充電する。

コンデンサ 24 は、DC/DC 変換回路 30 の入力電解コンデンサであり、力率改善回路 20 によって充電される充電素子である。コンデンサ 24 の充電電圧 E_0 は、力率改善回路 20 の動作が停止している場合、全波整流回路 2 が印加した脈流電圧のピーク値付近で充電される。コンデンサ 24 の充電電圧 E_0 は、ほぼ脈流電圧の実効値になる。

力率改善回路 20 は、動作して起動時間を経過すると、コンデンサ 24 を、交流電源 1 で発生する交流電圧よりも高い電圧で充電する。このときのコンデンサ 24 の充電電圧 E_0 を電圧 E_1 とする。

15 DC/DC 変換回路 30 は、力率改善回路 20 の出力電圧 E_0 を電圧変換して、この電圧を負荷 L に印加するための回路である。DC/DC 変換回路 30 は、PWM (Pulse Width Modulation) 制御により、負荷 L に供給する電圧を安定化させる。DC/DC 変換回路 30 は、トランス 31 と、NMOS 32 と、ダイオード 33 と、コンデンサ 34 と、DC/DC 部制御回路 35 と、出力電圧検出回路 20 36 とを備えている。

トランス 31 は、互いに電磁結合する一次巻線 31 a と二次巻線 31 b とを有し、一次巻線 31 a の一端が、力率改善回路 20 のダイオード 23 のカソードとコンデンサ 24 の一方の電極との接続点に接続されている。

トランス 31 の一次巻線 31 a の他端には、NMOS 32 のドレインが接続さ
25 れている。NMOS 32 のソースは、コンデンサ 24 の他方の電極に接地されている。

トランス 31 の二次巻線 31 b の一端には、ダイオード 33 のアノードが接続されている。ダイオード 33 のカソードは、コンデンサ 34 の一方の電極に接続されている。コンデンサ 34 の他方の電極は、二次巻線 31 b の他端と共に接地

されている。

トランス 31 の一次巻線 31 a と二次巻線 31 b との巻数比は、コンデンサ 24 の充電電圧 E_0 が、動作に必要な最低電圧になっても、DC/DC 変換回路 30 が負荷 L に印加する出力電圧を維持できるような比に設定される。

- 5 このコンデンサ 24 の充電電圧 E_0 の最低電圧は、交流電源 1 の交流電圧が最低入力電圧、負荷 L の負荷状態、コンデンサ 24 の容量値、マージン等によって決定される。この最低電圧を E_2 とする。

NMOS 32 は、Nチャネル型 MOSFET からなるスイッチング素子であり、NMOS 32 のゲートは、DC/DC 部制御回路 35 の出力端子と接続されてい
10 る。

DC/DC 部制御回路 35 は、DC/DC 変換回路 30 を PWM 制御するための回路であり、図 2 に示すように、制御信号発生部 35 a を備えている。制御信号発生部 35 a は、出力電圧検出回路 36 から出力された信号のレベルに基づいてデューティ比 (duty ratio) を設定し、このデューティ比を設定した制御信号
15 S 35 を生成するものである。デューティ比は、1 サイクルを全期間として、全期間に対する “H” 期間の比である。DC/DC 部制御回路 35 は、制御信号発生部 35 a が生成した制御信号 S 35 を NMOS 32 に供給する。NMOS 32 は、DC/DC 部制御回路 35 の出力する制御信号 S 35 が “H” になるとオンし、制御信号 S 35 が “L” になるとオフする。

- 20 ダイオード 33 は、二次巻線 31 b に発生した電圧を整流するためのものである。コンデンサ 34 は、ダイオード 33 から出力された整流電圧を平滑化して直流電圧 V_0 を生成するものである。この直流電圧 V_0 は、DC/DC 変換回路 30 の出力電圧であると共に、スイッチング電源装置の出力電圧となる。コンデンサ 34 の一方の電極とダイオード 33 のカソードとの接続点に、出力電圧検出回路
25 36 が接続されている。

出力電圧検出回路 36 は、例えば図 2 に示すように、直列に接続された抵抗 36 a, 36 b で構成されている。抵抗 36 a の一端がコンデンサ 34 の一方の電極とダイオード 33 のカソードとの接続点に接続され、抵抗 36 b の一端がグラ
ンドに接地されている。抵抗 36 a 及び抵抗 36 b の接続点が、出力電圧検出回

路 3 6 の出力端子になる。出力電圧検出回路 3 6 は、抵抗 3 6 a と抵抗 3 6 b とによって分圧された直流電圧 V_o の分圧信号を、DC/DC 部制御回路 3 5 へ出力する。

負荷状態検出回路 4 0 と、期間設定回路 4 1 と、PFC オンオフ切換回路 4 2 5 とは、負荷 L の状態が軽負荷状態か否かを判別し、前記負荷 L が軽負荷状態になったと判別すると、前記負荷 L が軽負荷状態になってから、予め設定された時間が経過したときに、力率改善回路 2 0 のコンデンサ 2 4 への充電動作を停止させるためのものである。

負荷状態検出回路 4 0 は、制御信号 S 3 5 のデューティ比に基づいて負荷 L の 10 負荷状態を検出し、負荷 L が軽負荷状態か否かを示す判別信号を出力する回路である。

負荷状態検出回路 4 0 は、図 2 に示すように、DC/DC 部制御回路 3 5 の出力端子に接続され、DC/DC 部制御回路 3 5 の制御信号発生部 3 5 a が生成した制御信号 S 3 5 を取得する。

15 負荷状態検出回路 4 0 は、直列の抵抗 4 0 a 及び抵抗 4 0 b と、コンデンサ 4 0 c と、比較器 4 0 d と、基準電源 4 0 e とを備えている。抵抗 4 0 a の一端が DC/DC 部制御回路 3 5 の出力端子に接続され、抵抗 4 0 b の他端が接地されている。抵抗 4 0 a と抵抗の 4 0 b との接続点が、コンデンサ 4 0 c の一方の電極と比較器 4 0 d の入力端子 (+) とに接続されている。コンデンサ 4 0 c の他 20 方の電極が接地されている。

比較器 4 0 d の他方の入力端子 (-) には、基準電源 4 0 e が接続されている。この基準電源 4 0 e の基準電圧は、負荷 L が軽負荷状態か非軽負荷状態かを判別するために、予め設定された電圧である。

比較器 4 0 d は、入力端子 (+) に供給される電圧と入力端子 (-) に供給さ 25 れる基準電源 4 0 e の電圧との比較結果を示す信号 S 4 0 を出力端子から出力する。

負荷 L の負荷電流が小さければ、制御信号 S 3 5 のデューティ比は小さくなり、入力端子 (+) に供給される電圧が低くなる。入力端子 (+) に供給される電圧が基準電源 4 0 e の電圧未満であれば、比較器 4 0 d は、出力端子から “L” の

信号S 4 0を出力する。比較器4 0 dの出力端子が、負荷状態検出回路4 0の出力端子となり、負荷状態検出回路4 0は、軽負荷状態になったことを示す判別信号として、この“L”の信号S 4 0を期間設定回路4 1に出力する。

一方、負荷Lの消費電流が増えると制御信号S 3 5のデューティ比は大きくなる。このため、比較器4 0 dの入力端子(+)に供給される電圧が上昇する。入力端子(+)に供給される電圧が基準電源4 0 eの電圧以上になると、比較器4 0 dは、出力端子から“H”の信号S 4 0を出力する。負荷状態検出回路4 0は、非軽負荷状態になったことを示す判別信号として、この“H”の信号S 4 0を期間設定回路4 1に出力する。

- 10 期間設定回路4 1は、負荷状態検出回路4 0から負荷Lが軽負荷状態になったことを示す判別信号として、“L”の信号S 4 0が出力されたときに、タイミングを設定して軽負荷状態になったことを示す“L”の信号S 4 1を出力する回路である。

期間設定回路4 1は、図3に示すように、NMOS 4 1 aと、コンデンサ4 1 bと、定電流源4 1 cと、シュミットトリガ回路4 1 dとを、備えている。

NMOS 4 1 aは、オンしてコンデンサ4 1 bを放電するためのNチャネル型MOSFETであり、ゲートに負荷状態検出回路4 0からの信号S 4 0が供給される。NMOS 4 1 aのソースは接地されている。NMOS 4 1 aは、負荷状態検出回路4 0からゲートに、“H”の信号S 4 0が供給されてオンし、“L”の
20 信号S 4 0が供給されてオフする。

コンデンサ4 1 bは、シュミットトリガ回路4 1 dに供給する信号のレベルを設定するためのものであり、NMOS 4 1 aのドレインが、コンデンサ4 1 bの一方の電極に接続されている。コンデンサ4 1 bの他方の電極は、接地されている。

- 25 定電流源4 1 cは、コンデンサ4 1 bを充電するためのものであり、コンデンサ4 1 bの一方の電極とNMOS 4 1 aのソースとの接続点に接続されている。

シュミットトリガ回路4 1 dの入力端子はコンデンサ4 1 bの一方の電極に接続されている。シュミットトリガ回路4 1 dは、コンデンサ4 1 bの一方の電極の電圧Vcと予め設定された閾値とを比較し、比較結果に基づいて出力信号S 4 1

を出力する。シュミットトリガ回路41dは、2つの閾値 V_{th1} 、 V_{th2} を有している。閾値 V_{th1} は、電圧 V_c が低い方から立ち上がるときに比較するための閾値である。閾値 V_{th2} は、電圧 V_c が高い方から立ち下がるときに比較するための閾値である。信号S40のレベルが“H”から“L”に遷移して、電圧 V_c が低い方
5 から閾値 V_{th1} を超えると、インバータ付きのシュミットトリガ回路41dは、“L”の信号S41を出力する。信号S40のレベルが“L”から“H”に遷移して、電圧 V_c が高い方から閾値 V_{th2} を超えると、シュミットトリガ回路41dは、“H”の信号S41を出力する。

閾値 V_{th1} は、閾値 V_{th2} よりも高く設定される($V_{th1} > V_{th2}$)。2つの閾値
10 V_{th1} 、 V_{th2} がこのように設定されることにより、シュミットトリガ回路41dは、入力された電圧 V_c と出力する信号S41の信号レベルとの間にヒステリシスを有することになり、ノイズ等の影響を受けずに安定して動作する。

尚、コンデンサ41bの容量値と定電流源41cの電流供給能力とは、NMOS41aがオフしてから、コンデンサ41bの一方の電極の電圧が閾値 V_{th1} を超
15 えるまでの時間Tが予め設定された時間となるように設定される。

時間Tは、力率改善回路20が起動を開始してから力率改善回路の出力電圧であるコンデンサ24の充電電圧 E_0 が電圧 E_1 に達するまでの起動時間及び消費電力の低減効果に基づいて設定され、実用上 $100\mu\text{sec} \sim 10\text{sec}$ が好ましい。

20 PFCオンオフ切換回路42は、期間設定回路41から“L”の信号S41が出力されたとき、タイミング制御回路25aの制御信号S25のNMOS22への出力を停止させて力率改善回路20の動作を停止させるための回路である。

PFCオンオフ切換回路42は、図4に示すように、PMOS42aを備える。PMOS42aは、Pチャネル型MOSFETであり、ゲートに期間設定回路4
25 1の信号S41が入力される。PMOS42aのソースは、PFC部制御回路25の出力端子に接続され、PMOS42aのドレインが、接地されている。PMOS42aは、ゲートに“L”の信号S41が与えられるとオンする。PMOS42aがオンすると、PFC部制御回路25で出力する制御信号S25は“L”になり、NMOS22はオフし、力率改善回路20の動作は停止する。

次に、このスイッチング電源装置の動作を説明する。

全波整流回路 2 は、交流電源 1 から交流電圧が供給されると、供給された交流電圧を整流して力率改善回路 20 に脈流電圧を印加する。

PFC オンオフ切換回路 42 の PMOS 42a がオフであれば、PFC 部制御回路 25 は、タイミング制御回路 25a が生成した交互に “H”， “L” になる制御信号 S25 を力率改善回路 20 に出力する。

力率改善回路 20 の NMOS 22 は、制御信号 S25 がゲートに供給され、制御信号 S25 のレベルに従って、オン、オフする。

制御信号 S25 が “H” になれば、NMOS 22 はオンし、NMOS 22 がオンしている期間に、コイル 21 にスイッチング電流が流れてエネルギーが蓄積される。制御信号 S25 が “L” になれば、NMOS 22 はオフし、NMOS 22 がオフした期間に、オン期間に蓄積されたエネルギーに従って電流がダイオード 23 を介してコンデンサ 24 に流れる。コンデンサ 24 は、この電流によって充電され、力率改善回路 20 に印加された脈流電圧を平滑化する。力率改善回路 20 は、コンデンサ 24 を、交流電源 1 で発生する交流電圧よりも高い電圧で充電する。コンデンサ 24 の充電電圧 E_0 は、電圧 E_1 になる。

DC/DC 部制御回路 35 は、動作を開始して、NMOS 32 のゲートに、“H” 又は “L” の制御信号 S35 を供給する。

制御信号 S35 が “H” のときに、NMOS 32 はオンし、NMOS 32 がオンしている期間に、コンデンサ 24 からトランス 31 の一次巻線 31a にスイッチング電流が流れてエネルギーが蓄積される。

制御信号 S35 が “L” のときに NMOS 32 はオフし、NMOS 32 がオフしたときに、オン期間で蓄積されたエネルギーに従って電流が二次巻線 31b 及びダイオード 33 を介してコンデンサ 34 に流れる。コンデンサ 34 は、この電流によって充電され、ダイオード 33 の整流電圧を平滑化する。コンデンサ 34 は、負荷 L に供給するための直流電圧 V_0 で充電される。

出力電圧検出回路 36 は、直流電圧 V_0 に比例する電圧を抵抗 36a 及び 36b で生成し、直流電圧 V_0 のレベルを示す信号を DC/DC 部制御回路 35 に与える。DC/DC 部制御回路 35 は、出力電圧検出回路 36 から与えられた信号のレベ

ルに基づいてPWM制御を行う。

即ち、直流電圧 V_o が予め設定された電圧よりもわずかに高くなれば、DC/DC部制御回路35は、制御信号S35のデューティ比をわずかに小さくする。制御信号S35のデューティ比がわずかに小さくなれば、直流電圧 V_o は低下する。

- 5 一方、直流電圧 V_o が予め設定された電圧よりわずかに低下すれば、DC/DC部制御回路35は、制御信号S35のデューティ比をわずかに大きくする。制御信号S35のデューティ比をわずかに大きくすれば、直流電圧 V_o は上昇する。このようにして、直流電圧 V_o は予め設定された電圧になるように制御され、ほぼ一定になる。

- 10 負荷Lに流れる負荷電流 I_o の増減に伴って、負荷Lは軽負荷状態になったり、非軽負荷状態になったりする。この負荷状態の変化に伴って、直流電圧 V_o もわずかに変化する。

負荷状態検出回路40は、DC/DC部制御回路35が発生する制御信号S35のデューティ比に基づいて負荷Lの負荷状態を検出する。

- 15 負荷状態検出回路40の抵抗40a及び抵抗40bは、“H”と“L”が繰り返される制御信号S35のレベルを分圧する。コンデンサ40cは、この制御信号S35の分圧信号によって充電されて、この分圧信号を平滑化する。負荷状態検出回路40は、平滑化したレベルの信号を比較器40dの入力端子(+)に供給する。

- 20 比較器40dは、コンデンサ40cから与えられた信号のレベルと基準電源40eから与えられた基準電圧とを比較する。

図5に示すように、時刻 $t_2 \sim t_3$ において、負荷Lに一定の負荷電流 I_o が流れ、比較器40dの入力端子(+)に与えられたコンデンサ40cの信号レベルが基準電圧よりも高くなると、比較器40dは、“H”の信号S40を出力する。

- 25 負荷状態検出回路40は、負荷Lが非軽負荷状態であることを示す判別信号として、この“H”の信号S40を期間設定回路41に出力する。

期間設定回路41のNMOS41aのゲートに供給される信号S40のレベルが“H”であれば、NMOS41aはオンする。NMOS41aがオンすると、コンデンサ41bの一方の電極は接地され、コンデンサ41bの充電電圧 V_c は、

ほぼ0になる。シュミットトリガ回路41dに供給される信号のレベルは閾値 V_{th1} 以下になるので、シュミットトリガ回路41dは、“H”の信号S41をPFCオンオフ切換回路42に供給する。

PFCオンオフ切換回路42のPMOS42aは、ゲートに“H”の信号S41が供給されて、オフする。PMOS42aがオフすると、PFC部制御回路25は、タイミング制御回路25aが生成した制御信号S25を力率改善回路20に出力する。力率改善回路20は、コンデンサ24を、交流電源1で発生する交流電圧よりも高い電圧で充電し、コンデンサ24の充電電圧 E_o は、電圧 E_1 になる。

- 10 時刻 t_3 になって、負荷Lに流れる負荷電流 I_o が減少すると、制御信号S35のデューティ比は小さくなる。制御信号S35のデューティ比が小さくなって、コンデンサ40cから与えられた信号のレベルが基準電圧よりも低くなると、比較器40dが出力する信号S40のレベルは、“H”から“L”に変化する。負荷状態検出回路40は、負荷Lが軽負荷状態になったことを示す信号として、この“L”の信号S40を期間設定回路41に出力する。

期間設定回路41のNMOS41aのゲートに供給される信号S40のレベルが“H”から“L”に変化すると、オンしていたNMOS41aはオフする。NMOS41aがオフすると、コンデンサ41bは、定電流源41cの電流によって充電され、コンデンサ41bの充電電圧 V_c は、0から上昇する。

- 20 コンデンサ41bの充電電圧 V_c が上昇しても、シュミットトリガ回路41dの閾値 V_{th1} を超える前の時刻 t_4 において、非軽負状態に戻れば、負荷状態検出回路40は、“H”の信号S40を期間設定回路41に出力する。そして、期間設定回路41のNMOS41aは、ゲートに“H”の信号S40が供給されてオンし、コンデンサ41bの充電電圧 V_c は閾値 $th1$ を超えないまま、コンデンサ41bは、再び接地される。このため、シュミットトリガ回路41dは、“H”の信号S41を継続してPFCオンオフ切換回路42のPMOS42aのPMOS42aに供給する。

PMOS42aは、オフしたままとなり、力率改善回路20のNMOS22は、PFC部制御回路25が出力した制御信号S25のレベルに従って、オン、オフ

する。このように、負荷 L が軽負荷状態になっても、予め設定された時間 T が経過する前に非軽負荷状態に切り換えれば、力率改善回路20は、そのまま、動作を継続する。

力率改善回路20が動作を継続して、時刻 t_9 になり、負荷 L に流れる負荷電流 I_o が減少し、比較器40dの入力端子(+)の電圧が基準電圧未満になると、負荷状態検出回路40は、同じように負荷 L が軽負荷状態になったことを示す信号として、“L”の信号 S_{40} を期間設定回路41に出力する。

期間設定回路41のNMOS41aはオフして、コンデンサ41bの充電電圧 V_c は、0から上昇する。時刻 t_9 から時間 T が経過して、時刻 t_{10} になっても、非軽負荷状態が継続していると、コンデンサ41bの充電電圧 V_c は、シュミットトリガ回路41dの閾値 V_{th1} を超える。

シュミットトリガ回路41dに供給される信号のレベルが閾値 V_{th1} を超えると、シュミットトリガ回路41dは、“L”の信号 S_{41} をPFCオンオフ切換回路42に供給する。

PFCオンオフ切換回路42のPMOS42aは、ゲートに“L”の信号 S_{41} が供給されてオンする。PMOS42aがオンすると、PFC部制御回路25は、“L”の制御信号 S_{25} を力率改善回路20に供給する。力率改善回路20のNMOS22は、ゲートに“L”の制御信号 S_{25} が供給されて、オフしたままになる。即ち、力率改善回路20の動作は停止する。力率改善回路20の動作が停止すると、その分、消費電力は低下する。そして、コンデンサ24の充電電圧 E_o は低下する。

時刻 t_{11} において、負荷 L が非軽負荷状態になった場合、力率改善回路20は、動作を開始する。負荷 L が非軽負荷状態になった場合、スイッチング電源装置の負荷が増大するため、コンデンサ24の充電電圧 E_o は、さらに低下する。しかし、力率改善回路20が動作を停止した時刻 t_{10} におけるコンデンサ24の充電電圧 E_o が電圧 E_1 になっているので、力率改善回路20が動作を開始しても、充電電圧 E_o は、電圧 E_2 以下には低下しない。従って、DC/DC変換回路30は、出力電圧 V_o を維持することができ、ほぼ一定の出力電圧 V_o を負荷 L に印加する。

そして、力率改善回路 20 は、動作を開始してから、起動時間が経過すると、コンデンサ 24 を充電し、充電電圧 E_0 を電圧 E_1 まで上昇させる。

以上説明したように、この実施形態のスイッチング電源装置では、負荷 L が軽負荷状態になっても、予め設定された時間 T が経過するまでは、起動に一定の時間 5 を要する力率改善回路 20 の動作を継続させるようにした。

従って、負荷 L が軽負荷状態と非軽負荷状態を繰り返しても、コンデンサ 24 の充電電圧 E_0 が、DC/DC 変換回路 30 の最低動作電圧 E_2 以下になることを防止することができ、DC/DC 変換回路 30 の出力電圧 V_0 を予め設定された電圧に維持することができる。このため、負荷 L の誤動作を防止することもできる。

10 (第 2 の実施形態)

図 6 は、本発明の第 2 の実施形態に係るスイッチング電源装置を示す構成図である。

前述の第 1 の実施形態では、コイル 21 を用いた非絶縁形力率改善回路 20 を搭載したスイッチング電源装置を説明したが、種々の力率改善回路を搭載することが可能である。また、第 1 の実施形態のスイッチング電源装置の DC/DC 変換回路 30 は、トランス 31 を使用しているが、トランスを使用しない DC/DC 変換回路を搭載してもよい。本実施形態のスイッチング装置は、絶縁形の力率改善回路 50 と昇圧型の DC/DC 変換回路 60 とを搭載すると共に、負荷状態検出回路 70 と、期間設定回路 71 と、PFC オンオフ切換回路 72 とを備えて 20 いる。

力率改善回路 50 は、トランス 51 と、NMOS 52 と、ダイオード 53 と、コンデンサ 54 と、PFC 部制御回路 55 とを備えている。

交流電源 1 が発生する交流電圧を整流する全波整流回路 2 の正極に、トランス 51 の一次巻線の一端が接続され、一次巻線他端に NMOS 52 のドレインが 25 接続されている。NMOS 52 のソースは、全波整流回路 2 の負極に接続されている。

トランス 51 の二次巻線の一端に、ダイオード 53 のアノードが接続され、ダイオード 53 のカソードにコンデンサ 54 の一方の電極が接続されている。コンデンサ 54 の他方の電極は、トランス 51 の二次巻線他端と共に接地されてい

る。NMOS 52のゲートにPFC部制御回路55の出力端子が接続されている。PFC部制御回路55は、第1の実施形態のPFC部制御回路25と同様の回路である。

DC/DC変換回路60は、コイル61と、NMOS 62と、ダイオード63と、コンデンサ64と、DC/DC部制御回路65と、出力電圧検出回路66とを備えている。

コイル61の一端は、力率改善回路50のコンデンサ54とダイオード53との接続点に接続されている。コイル61の他端には、NMOS 62のドレインとダイオード63のアノードとに接続されている。ダイオード63のカソードが、
10 コンデンサ64の一方の電極に接続されている。コンデンサ64の他方の電極は、NMOS 62のソースと共に接地されている。コンデンサ64の両電極間に負荷Lが接続される。

DC/DC部制御回路65は、第1の実施形態のDC/DC部制御回路35と同様の回路であり、DC/DC部制御回路65の出力端子がNMOS 62のゲート
15 トに接続されている。出力電圧検出回路66は、出力電圧検出回路36と同様の回路であり、コンデンサ64の一方の電極とダイオード63のカソードとの接続点に接続されている。出力電圧検出回路66の出力端子がDC/DC部制御回路65に接続されている。

負荷状態検出回路70、期間設定回路71及びPFCオンオフ切換回路72は、
20 第1の実施形態の負荷状態検出回路40、期間設定回路41及びPFCオンオフ切換回路42とそれぞれ同様の回路であり、同様に接続されている。

力率改善回路50は、PFC部制御回路55の発生する制御信号により、NMOS 52をオン、オフさせる。NMOS 52がオンしたときに、トランス51の一次巻線にスイッチング電流が流れる。このスイッチング電流が流れることによ
25 り、トランス51にエネルギーが蓄積され、NMOS 52がオフしたときに、そのエネルギーがトランス51の二次巻線及びダイオード53を介してコンデンサ54に充電される。

DC/DC変換回路60のNMOS 62は、DC/DC部制御回路65が発生する制御信号のレベルに基づきオン、オフし、NMOS 62がオンしたときにコ

イル 6 1 にスイッチング電流が流れる。スイッチング電流が流れることにより、コイル 6 1 に蓄積されたエネルギーが、NMOS 6 2 がオフしている期間に、ダイオード 6 3 を介してコンデンサ 6 4 に蓄積される。コンデンサ 6 4 に蓄積されたエネルギーが、負荷 L に供給する直流出力電圧 V_o になる。

- 5 負荷状態検出回路 7 0、期間設定回路 7 1 及び P F C オンオフ切換回路 7 2 は、第 1 の実施形態の負荷状態検出回路 4 0、期間設定回路 4 1 及び P F C オンオフ切換回路 4 2 とそれぞれ同様に動作する。

以上のように、本実施形態のスイッチング電源装置は、第 1 の実施形態とは異なる力率改善回路 5 0 及び D C / D C 変換回路 6 0 を搭載しているが、負荷状態
10 検出回路 7 0、期間設定回路 7 1 及び P F C オンオフ切換回路 7 2 が、第 1 の実施形態の負荷状態検出回路 4 0、期間設定回路 4 1 及び P F C オンオフ切換回路 4 2 とそれぞれ同様に動作する。そのため、第 1 の実施形態と同様に、負荷 L に与える直流出力電圧 V_o の変動が抑制され、負荷 L の誤動作等を防止できる。

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。その
15 変形例としては、次のようなものがある。

(1) 本発明は、力率改善回路 2 0、5 0 に限られるものではなく、力率改善回路 2 0、5 0 とは異なる昇圧型のスイッチング電源回路であってもよいし、倍電圧整流回路のようなものであってもよい。

(2) 本発明は、D C / D C 変換回路 3 0、6 0 ばかりでなく、種々の D C
20 / D C 変換回路を搭載するスイッチング電源装置に適用できる。

(3) 図 3 の期間設定回路 4 1 は、シュミットトリガ回路 4 1 d を備えていたが、シュミットトリガ回路 4 1 d の代わりに、図 7 に示すように直流電源 4 1 e 及び比較器 4 1 f を備えてもよい。

図 7 は、期間設定回路 4 1 の変形例を示す回路図である。

25 この場合、コンデンサ 4 1 b の一方の電極と NMOS 4 1 a のドレインとの接続点を比較器 4 1 f の入力端子 (-) に接続し、直流電源 4 1 e を比較器 4 1 f の入力端子 (+) に接続すればよい。また、比較器 4 1 f の出力に応じて直流電源 4 1 e の発生する基準電圧を可変にし、シュミットインバータであるシュミットトリガ回路 4 1 d を設けた場合と同様に、ヒステリシスを持たせてもよい。

(4) 第1の実施形態では、シュミットトリガ回路を有する期間設定回路41を使用し、負荷状態検出回路40の出力信号S40と期間設定回路41の出力信号S41との間にヒステリシスを設け、力率改善回路20での充電の実施と停止とが安定して切替るようにした。これに対し、負荷状態検出回路40にシュミットトリガ回路等のヒステリシスを持たせる回路を設け、力率改善回路20での充電の実施と停止とが安定して切替るようにしてもよい。

(5) 負荷状態検出回路40では、軽負荷状態か非軽負荷状態かを制御信号S35のデューティ比に基づいて判定しているが、直流出力電圧 V_o から判定する構成、或いは帰還信号から判定する構成にしてもよい。

10 (6) PFCオンオフ切換回路42をPMOS42aで構成して、制御信号S25を“L”に固定する構成にしたが、PFCオンオフ切換回路42が発生する信号でPFC部制御回路25を活性化させたり、非活性にする構成にしてもよい。

(7) 負荷状態検出回路40は、次の図8に示す負荷状態検出回路80に変更15 更することが可能である。

図8は、負荷状態検出回路40の変形例の負荷状態検出回路80を示す回路図である。

この負荷状態検出回路80は、オン期間比較回路80Aと、基準期間発生回路80Bとを備えている。

20 オン期間比較回路80Aは、遅延型フリップフロップ（以下、D-FFという）81で構成されている。D-FF81のデータ入力端子Dには、DC/DC部制御回路35からNMOS32のゲートに与える制御信号S35が入力される。D-FF81の正相出力端子Qが、この負荷状態検出回路80の出力端子となり、負荷状態検出回路80は、負荷Lが軽負荷状態か非軽負荷状態かを示す信号S425 0を出力する。

基準期間発生回路80Bは、第1の基準期間発生回路82と第2の基準期間発生回路83と、切替えスイッチ回路84とを備えている。第1の基準期間発生回路82は、図示しない内部発振器等が発生する周期波信号に同期し、第1の基準期間(T_1)の幅を有するパルス信号P1を発生する回路である。第2の基準期

間発生回路 8 3 は、その周期波信号に同期し、且つ、第 1 の基準期間より短い第 2 の基準期間 (T_2) の幅を有するパルス信号 P_2 を発生する回路である。

切替えスイッチ回路 8 4 は、2 入力 AND ゲート 8 4 a と、2 入力 AND ゲート 8 4 b と、2 入力 OR ゲート 8 4 c とを備えている。AND ゲート 8 4 a の一方の入力端子は、第 1 の基準期間発生回路 8 2 の出力端子に接続され、AND ゲート 8 4 a の他方の入力端子は、D-FF 8 1 の逆相出力端子 Q バーに接続されている。AND ゲート 8 4 a の出力端子が、OR ゲート 8 4 c の一方の入力端子に接続されている。

AND ゲート 8 4 b の一方の入力端子は、第 2 の基準期間発生回路 8 3 の出力端子に接続されている。AND ゲート 8 4 b の他方の入力端子は、D-FF 8 1 の正相出力端子 Q に接続されている。AND ゲート 8 4 b の出力端子が、OR ゲート 8 4 c の他方の入力端子に接続されている。OR ゲート 8 4 c の出力端子が、切替えスイッチ回路 8 4 の出力端子になり、D-FF 8 1 のクロック端子に接続されている。

15 負荷状態検出回路 8 0 の動作を説明する。

第 1 の基準期間発生回路 8 2 は、図示しない発振器が発生する周期波信号に同期して、パルス幅が T_1 のパルス信号 P_1 を発生する。第 2 の基準期間発生回路 8 3 は、パルス幅が T_1 よりも短い T_2 のパルス信号 P_2 をその周期波信号に同期して発生する。

20 D-FF 8 1 の正相出力端子 Q と逆相出力端子 Q バーとは、論理レベルが相補的な信号をそれぞれ出力する。D-FF 8 1 の逆相出力端子 Q バーが “H” のときには、切替えスイッチ回路 8 4 の AND ゲート 8 4 a は、第 1 の基準期間発生回路 8 2 が発生するパルス信号 P_1 を通過させる。D-FF 8 1 の正相出力端子 Q が “H” のときには、AND ゲート 8 4 b は第 2 の基準期間発生回路 8 3 が発生するパルス信号 P_2 を通過させる。OR ゲート 8 4 c は、AND ゲート 8 4 a , 8 4 b の出力信号の論理和を求めて、D-FF 8 1 のクロック端子に与える。即ち、切替えスイッチ回路 8 4 は、D-FF 8 1 の正相出力端子 Q が “H” のときには第 2 の基準期間発生回路 8 3 を選択し、その出力信号を D-FF 8 1 のクロック端子に与え、D-FF 8 1 の逆相出力端子 Q バーが “H” のときには、第 1

の基準期間発生回路 8 2 を選択してその出力信号を D-F F 8 1 のクロック端子に与える。

D-F F 8 1 は、クロック端子のレベルが立ち下がったとき、D C / D C 部制御回路 3 5 が N M O S 3 2 のゲートに与えている制御信号 S 3 5 の信号レベルの 5 状態をラッチする。

例えば、D-F F 8 1 の逆相出力端子 Q バーが “H” になっているときに、切替えスイッチ回路 8 4 が第 1 の基準期間発生回路 8 2 を選択し、D-F F 8 1 のクロック端子にパルス信号 P 1 を与える。パルス信号 P 1 が立下がったときに、制御信号 S 3 5 が “H” で N M O S 3 2 がオンしている状態であれば、D-F F 10. 8 1 が “H” をラッチし、正相出力端子 Q から “H” を出力する。

制御信号 S 3 5 が、パルス信号 P 1 の立下がる以前に “L” になっていれば、D-F F 8 1 が “L” をラッチし、正相出力端子 Q から “L” 出力する。即ち、D-F F 8 1 は、N M O S 3 2 がオンしている期間と第 1 の基準期間発生回路 8 2 が発生する期間と比較し、その結果を信号 S 4 0 に示す。負荷 L が軽負荷状態 15 のときには、N M O S 3 2 がオフするタイミングが早いので、信号 S 4 0 が “L” になる。負荷 L が非軽負荷状態のときには、N M O S 3 2 がオフするタイミングが遅いので、信号 S 4 0 が “H” になる。

D-F F 8 1 の正相出力端子 Q が “H” になっているときに、切替えスイッチ回路 8 4 は第 2 の基準期間発生回路 8 3 を選択し、D-F F 8 1 のクロック端子 20 にパルス信号 P 2 を与える。パルス信号 P 2 が立下がったときに、制御信号 S 3 5 が “H” で N M O S 3 2 がオンしている状態であれば、D-F F 8 1 が “H” をラッチし、正相出力端子 Q のレベルが “H” になる。制御信号 S 3 5 が、パルス信号 P 2 の立下がる以前に “L” になっていれば、D-F F 8 1 が “L” をラッチし、正相出力端子 Q のレベルを出力する。

25 即ち、D-F F 8 1 は、N M O S 3 2 がオンしている期間と、第 2 の基準期間発生回路 8 3 が発生する期間と比較し、その結果を示す信号 S 4 0 を出力する。負荷 L が軽負荷状態のときには、N M O S 3 2 がオフするタイミングが早いので、信号 S 4 0 のレベルは “L” になる。負荷 L が非軽負荷状態のときには、N M O S 3 2 がオフするタイミングが遅いので、信号 S 4 0 のレベルは “H” になる。

なお、第1の基準期間発生回路82で設定する期間(T1)を、第2の基準期間回路83で設定する基準期間(T2)よりも長くしたことにより、切替えスイッチ回路84は、選択切替えにヒステリシスを有する。

(8) 図4のPFCオンオフ切換回路42は、PMOS42aをオンして、
5 PFC部制御回路25の出力端子を接地させることにより、スイッチング素子のNMOS22のスイッチング動作を停止させている。この方法では、PFC部制御回路25を駆動する図示しない制御電源が接地されることになり、損失が大きくなる。このような損失を防ぐために、次の図9及び図10のPFCオンオフ切換回路90、100を用いてもよい。

10 図9は、PFCオンオフ切換回路42の変形例のPFCオンオフ切換回路90を示す回路図である。

このPFCオンオフ切換回路90は、インバータ91と、3個のNPN型トランジスタ92、93、94と、2個のPNP型トランジスタ95、96と、定電流源97とを備えている。インバータ91の入力端子には、期間設定回路41よ
15 り、信号S41が入力される。インバータ91の出力端子が、トランジスタ92のベースに接続されている。トランジスタ92のエミッタは接地されている。

トランジスタ92のコレクタと、トランジスタ93のコレクタ及びベースと、トランジスタ94のベースとは、定電流源97に接続されている。トランジスタ93、94のエミッタは共に接地されている。トランジスタ93、94は、カ
20 レントミラー回路を構成している。

トランジスタ94のコレクタが、トランジスタ95のコレクタ及びベースと、トランジスタ96のベースとに接続されている。トランジスタ95、96のエミッタは、電源に共通に接続されている。トランジスタ95、96によって、カ
レントミラー回路が構成される。トランジスタ96のコレクタが、PFC部制御回
25 路25の駆動電流I_{bais}入力端子に接続されている。

図9のPFCオンオフ切換回路90では、期間設定回路41から与えられた信号S41のレベルが高ければ、インバータ91が“L”を出力し、トランジスタ92がオフする。これにより、トランジスタ93及びトランジスタ94のベース電圧が上昇し、トランジスタ93及びトランジスタ94がオンする。つまり、ト

ランジスタ 93, 94 からなるカレントミラー回路がオンする。トランジスタ 94 がオンすることにより、トランジスタ 95 及びトランジスタ 96 のベース電圧が低下し、トランジスタ 95 及びトランジスタ 96 からなるカレントミラー回路がオンする。これにより、PFC 部制御回路 25 に駆動電流 I_{bias} が、トランジスタ 96 を介して流入する。駆動電流 I_{bias} が与えられた PFC 部制御回路 25 は動作を開始し、NMOS 22 をオン、オフする制御信号 S25 を発生する。

期間設定回路 41 から与えられた信号 S41 のレベルが低ければ、インバータ 91 が “H” を出力し、トランジスタ 92 がオンする。トランジスタ 92 がオンすることにより、トランジスタ 93 及びトランジスタ 94 のベース電圧が低下し、トランジスタ 93, 94 で構成されるカレントミラー回路がオフ状態になる。トランジスタ 94 がオフすることにより、カレントミラー回路を構成するトランジスタ 95, 96 のベース電圧が上昇し、トランジスタ 96 がオフする。トランジスタ 96 がオフすることにより、PFC 部制御回路 25 には駆動電流 I_{bias} が流入しなくなり、PFC 部制御回路 25 の動作は、停止する。即ち、NMOS 22 のオンオフを制御する制御信号 S25 が “L” に固定され、NMOS 22 のオン、オフが停止される。

この図 9 の PFC オンオフ切換回路 90 では、PFC 部制御回路 25 の内部の駆動電流 I_{bias} を PFC 部制御回路 25 に流入させないことにより、NMOS 22 のオン、オフを停止するので、PFC 部制御回路 25 での電力消費を大幅に抑制できる。

図 10 は、PFC オンオフ切換回路 42 の他の変形例の PFC オンオフ切換回路 100 を示す回路図である。

この PFC オンオフ切換回路 100 は、抵抗 101 と、NPN 型トランジスタ 102 と、抵抗 103 と、PNP 型トランジスタ 104 とで構成されている。抵抗 101 の一端には、期間設定回路 41 から信号 S41 が入力される。抵抗 101 の他端がトランジスタ 102 のベースに接続されている。トランジスタ 102 のエミッタが接地され、トランジスタ 102 のコレクタが抵抗 103 の一端に接続されている。抵抗 103 の他端がトランジスタ 104 のベースに接続されている。

トランジスタ 104 のエミッタが電源に接続され、トランジスタ 104 のコレクタが PFC 部制御回路 25 の電源端子に接続されている。トランジスタ 104 は、PFC 部制御回路 25 に供給される電力を遮断するスイッチとなる。

期間設定回路 41 が出力する信号 S41 のレベルが高いときには、トランジスタ 102 がオン状態であり、トランジスタ 104 のベース電圧を降下させている。よって、トランジスタ 104 がオン状態であり、PFC 部制御回路 25 に電力が供給され、PFC 部制御回路 25 が動作する。これにより、NMOS 22 がオン、オフする。期間設定回路 41 の出力信号 S41 のレベルが低下すると、トランジスタ 102 がオフし、トランジスタ 104 がオフする。この状態では、PFC 部制御回路 25 に電力が供給されず、PFC 部制御回路 25 は動作せず、NMOS 22 はオン、オフしない。

この図 10 の PFC オンオフ切換回路 100 では、トランジスタ 104 が PFC 部制御回路 25 の電源を遮断するため、PFC 部制御回路 25 での電力損失を最小限に抑制できる。

15

本発明は、2002 年 12 月 24 日に出願された特願 2002-373027 を基礎とするものであり、本明細書中にその明細書、特許請求の範囲、図面全体を参考として取り込むものとする。

20 産業上の利用の可能性

本発明は、電源装置を使用する産業分野に利用可能である。

請求の範囲

1. 起動されて充電素子（24, 54）を充電する充電部（20, 50）と、
前記充電素子（24, 54）の第1の直流電圧に基づいて第2の直流電圧を生成し、生成した第2の直流電圧を負荷（L）に印加する直流電圧生成部（30, 560）と、
前記充電部（20, 50）を起動するとともに、前記直流電圧生成部（30, 60）が前記第2の直流電圧を印加する前記負荷（L）の状態が軽負荷状態か否かを判別し、前記負荷（L）が軽負荷状態になったと判別すると、前記負荷（L）が軽負荷状態になったと判別してから、予め設定された時間が経過したとき、前記充電部（20, 50）の前記充電素子（24, 54）への充電動作を停止させる動作制御部（40, 41, 42, 70, 71, 72, 80, 90, 100）と、を備えた、
ことを特徴とする電源装置。
- 15 2. 前記負荷（L）が軽負荷状態になったと判別してから、前記動作制御部（40, 41, 42, 70, 71, 72, 80, 90, 100）が前記充電部（20, 50）の動作を停止させるまでの時間は、前記充電部（20, 50）が起動してから、前記第1の直流電圧が前記充電部（20, 50）の非軽負荷状態で動作しているときの電圧になるまでの起動時間に基づいて予め設定される、
20 ことを特徴とする請求項1に記載の電源装置。
3. 前記動作制御部は、
前記負荷（L）の負荷状態を検出し、前記負荷（L）が軽負荷状態か否かを示す判別信号を出力する負荷状態検出部（40, 70, 80）と、
25 前記負荷状態検出部（40, 70, 80）から前記負荷（L）が軽負荷状態になったことを示す判別信号が出力されたとき、当該判別信号が出力されたときからのタイミングを設定して出力する出力タイミング設定部（41, 71）と、
前記出力タイミング設定部（41, 71）から前記負荷（L）が軽負荷状態になったことを示す判別信号が出力されたときに、前記充電部（20, 50）の前

記充電素子（２４，５４）への充電動作を停止させる動作停止部（４２，７２，９０，１００）と、を備えた、

ことを特徴とする請求項１に記載の電源装置。

５４．前記直流電圧生成部（３０，６０）は、スイッチング素子（３２）を備えたスイッチング電源回路によって構成され、

前記負荷状態検出部（４０，７０，８０）は、前記スイッチング素子（３２）をオン、オフする制御信号を取得し、取得した制御信号のデューティ比に基づいて、前記負荷（Ｌ）が軽負荷状態になったか否かを判別する、

１０ ことを特徴とする請求項３に記載の電源装置。

５．前記出力タイミング設定部（４１，７１）は、前記負荷状態検出部（４０，７０，８０）から出力された判別信号のレベルと比較するための２つの閾値を有し、前記負荷（Ｌ）が軽負荷状態になったことを示す判別信号のレベルと比較する
１５ ための第１の閾値が、前記負荷（Ｌ）が非軽負荷状態になったことを示す判別信号のレベルと比較するための第２の閾値よりも高く設定されることにより、ヒステリシスを有する、

ことを特徴とする請求項３に記載の電源装置。

２０ ６．前記充電部（２０，５０）は、

前記充電素子（２４，５４）と、

コイル（２１，５１）と、

前記動作制御部（４０，４１，４２，７０，７１，７２，８０，９０，１００）によって制御されてオン・オフするスイッチング動作を繰り返し、前記コイ
２５ ル（２１，５１）に前記コイル（２１，５１）の入力電圧に対応するスイッチング電流を繰り返して流すスイッチング素子（２２，５２）と、

前記コイル（２１，５１）に蓄えられたエネルギーに従って流れるスイッチング電流を整流して、前記充電素子（２４，５４）に供給するダイオード（２３，５３）と、

を備える力率改善回路である、
ことを特徴とする請求項 1 に記載の電源装置。

7. 前記負荷 (L) が軽負荷状態になってから、前記動作制御部 (40, 41, 542, 70, 71, 72, 80, 90, 100) が前記充電部 (20, 50) の動作を停止させるまでの時間は、100 μ sec から 10 sec の範囲で設定される、

ことを特徴とする請求項 2 に記載の電源装置。

10 8. 起動されて充電素子 (24, 54) を充電する充電部 (20, 50) と、
前記充電素子 (24, 54) の第 1 の直流電圧に基づいて第 2 の直流電圧を生成し、生成した第 2 の直流電圧を負荷 (L) に印加する直流電圧生成部 (30, 60) と、を備えた電源装置を制御する制御方法であって、
前記負荷 (L) の軽負荷状態か否かを判別するステップと、
15 前記負荷 (L) が軽負荷状態になったと判別すると、前記予め設定された時間が経過したときに、前記充電部 (20, 50) の動作を停止させるステップと、
を備えた、

ことを特徴とする電源装置の制御方法。

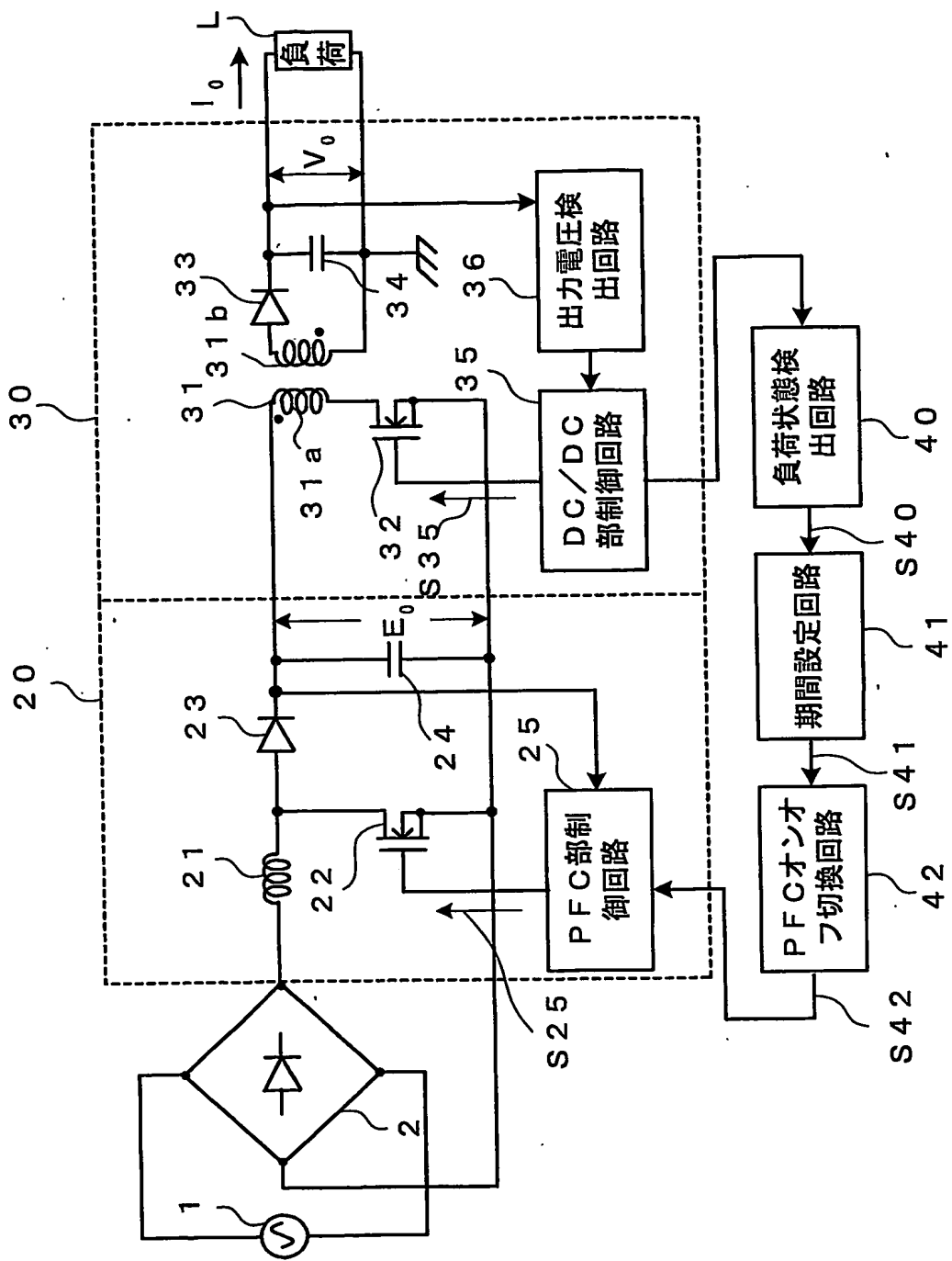
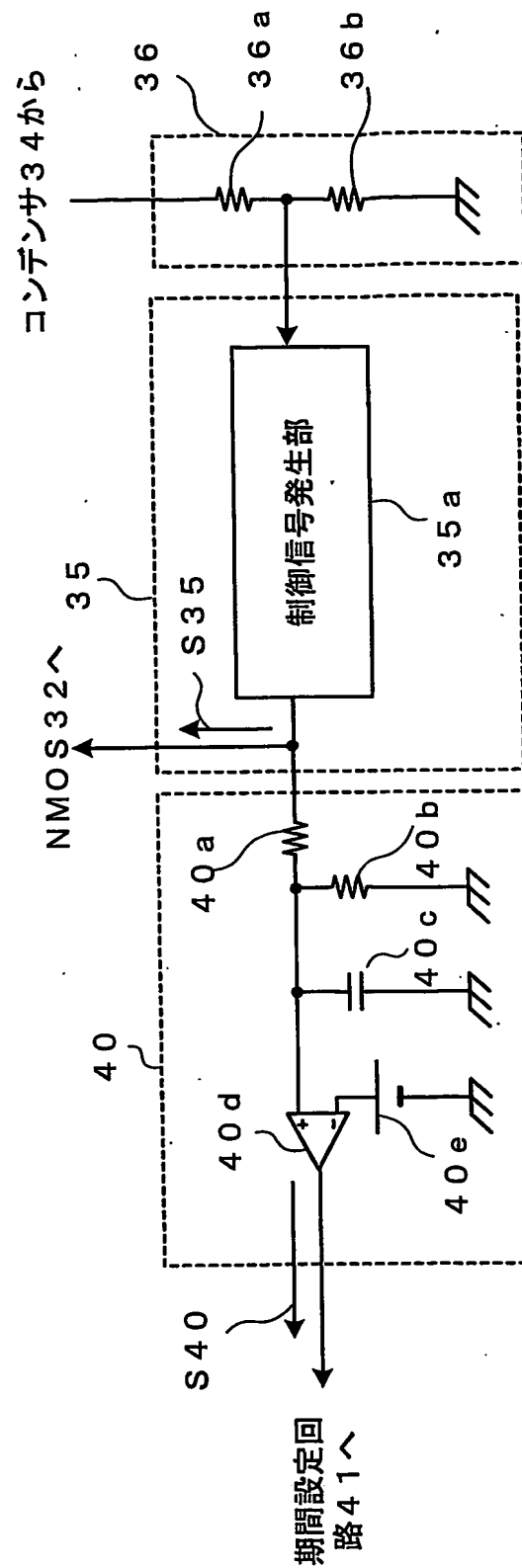


図1

2 / 1 1



2
図

3 / 1 1

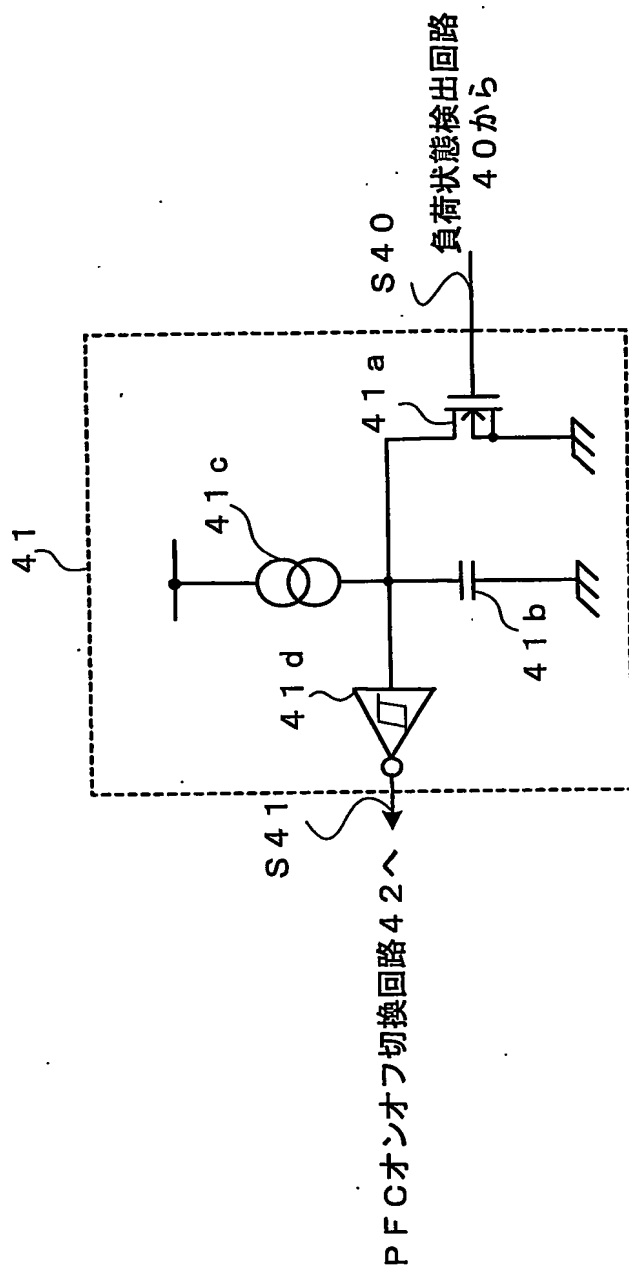


図3

4 / 1 1

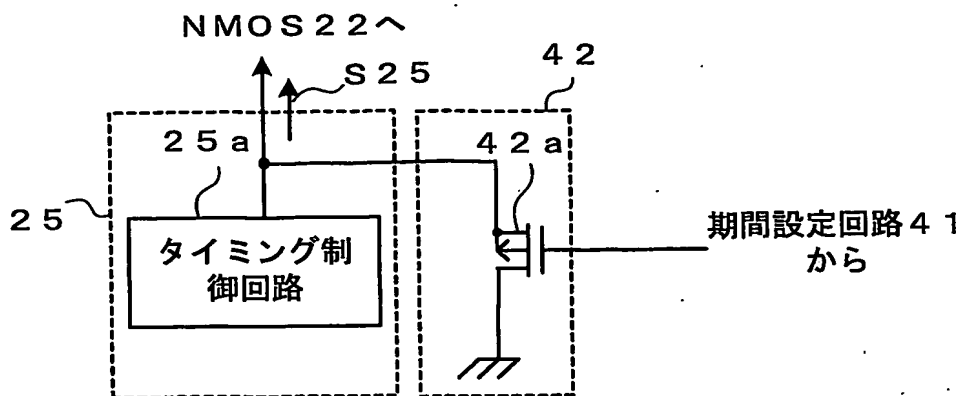


図4

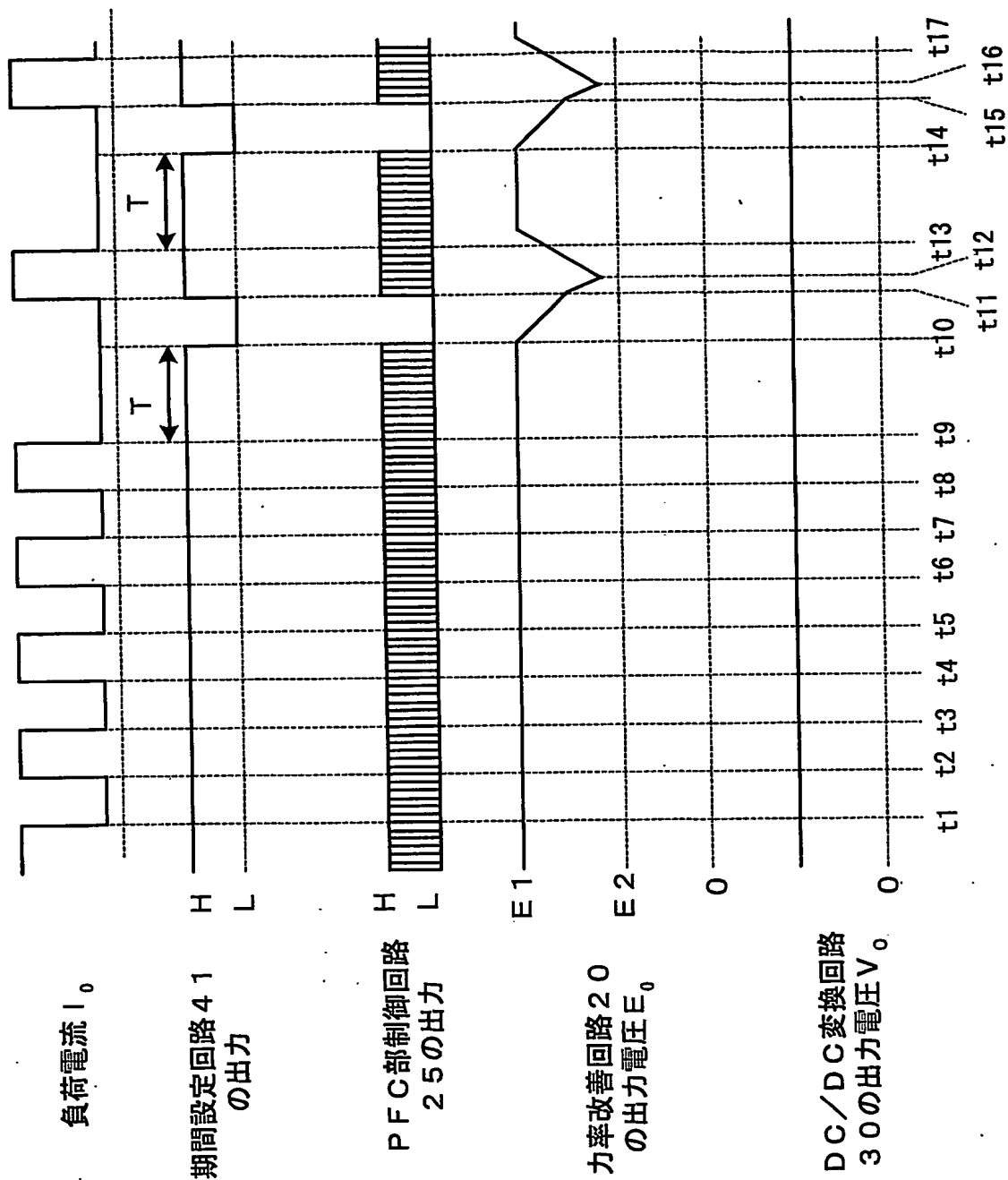


図5

6 / 1 1

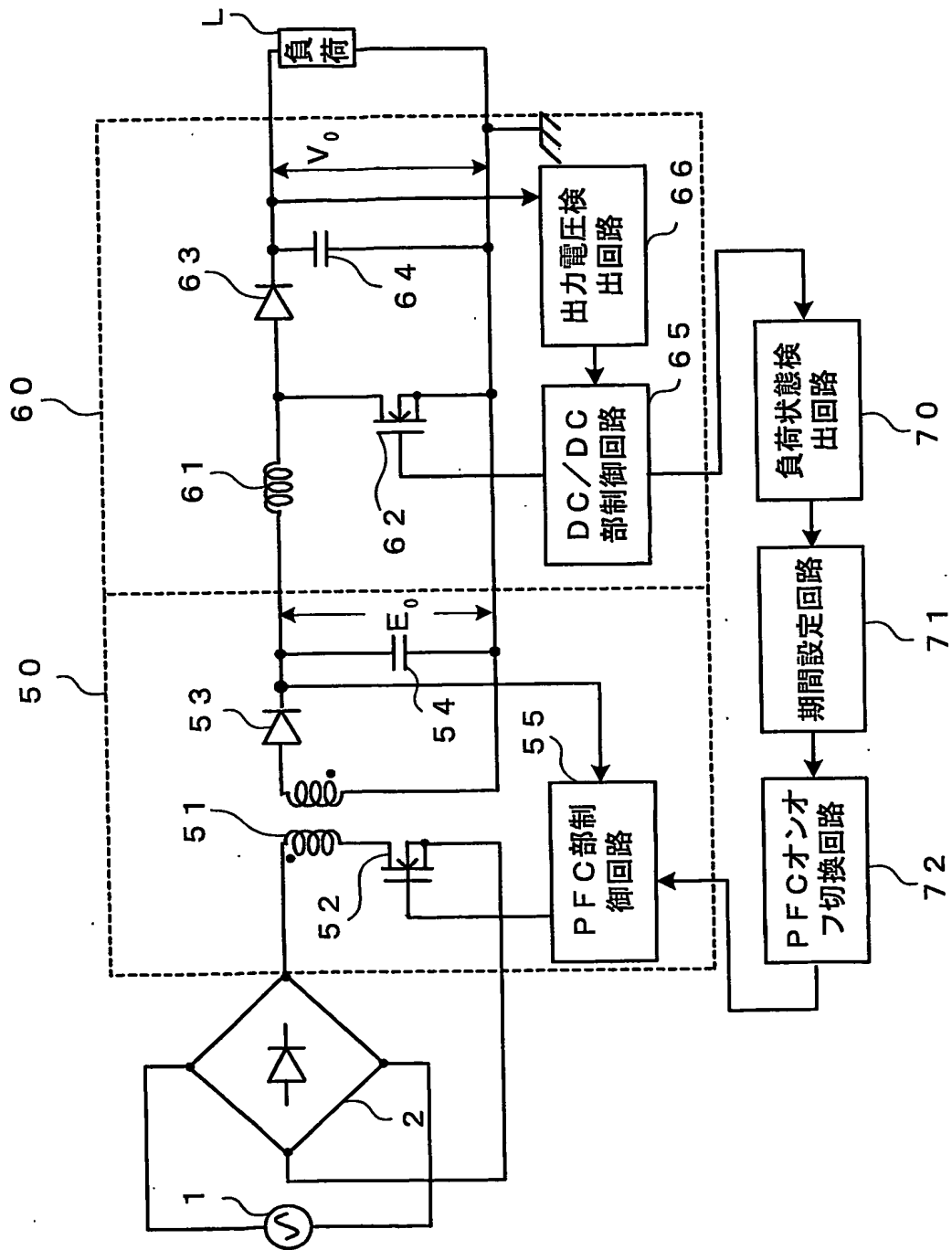


図6

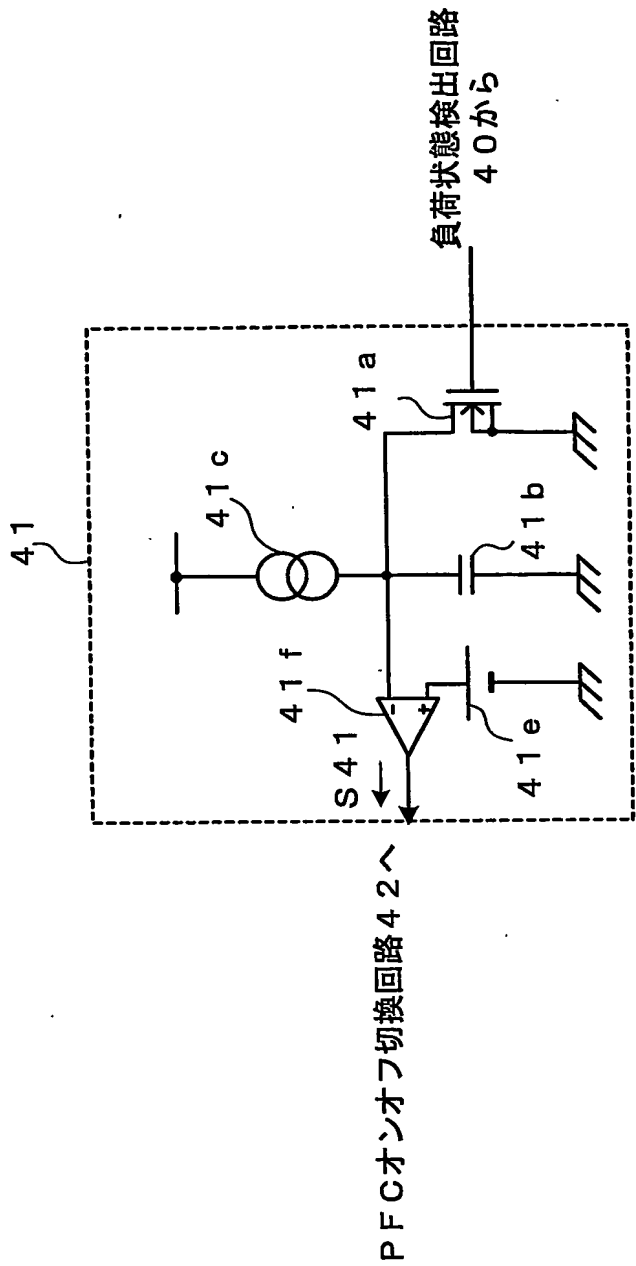


図7

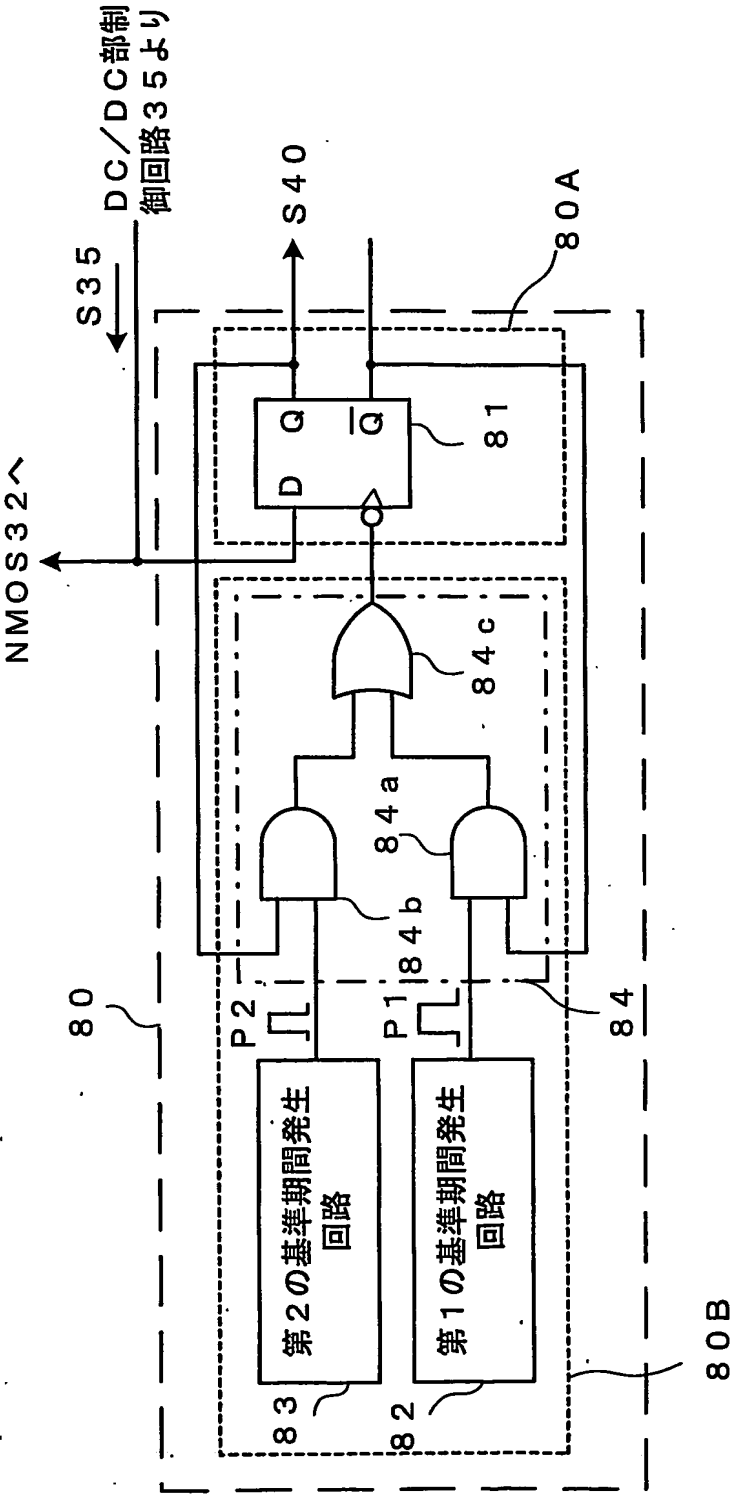


図8

9 / 1 1

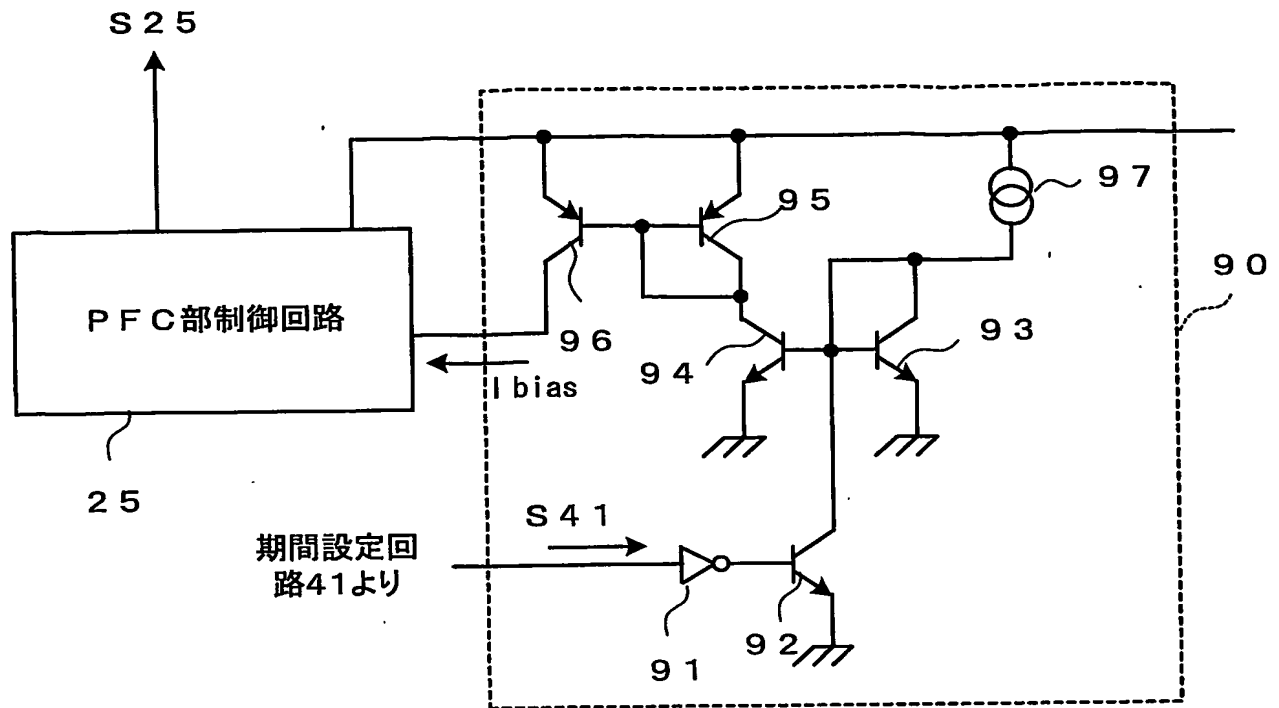


図9

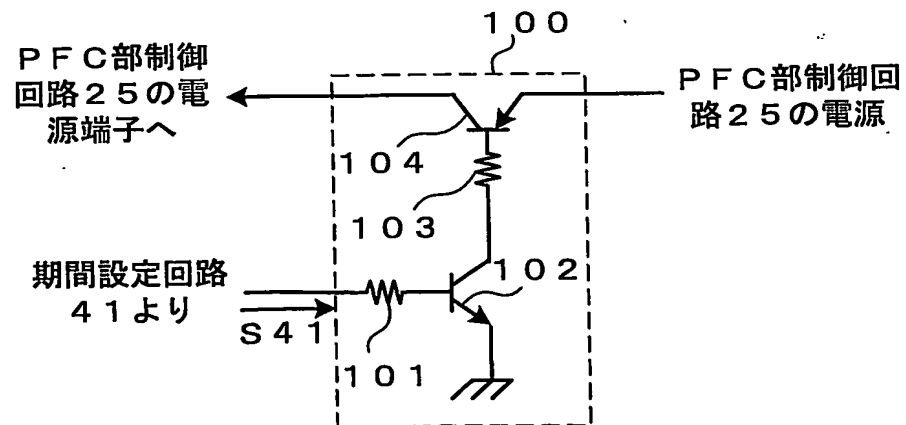


図10

1 1 / 1 1

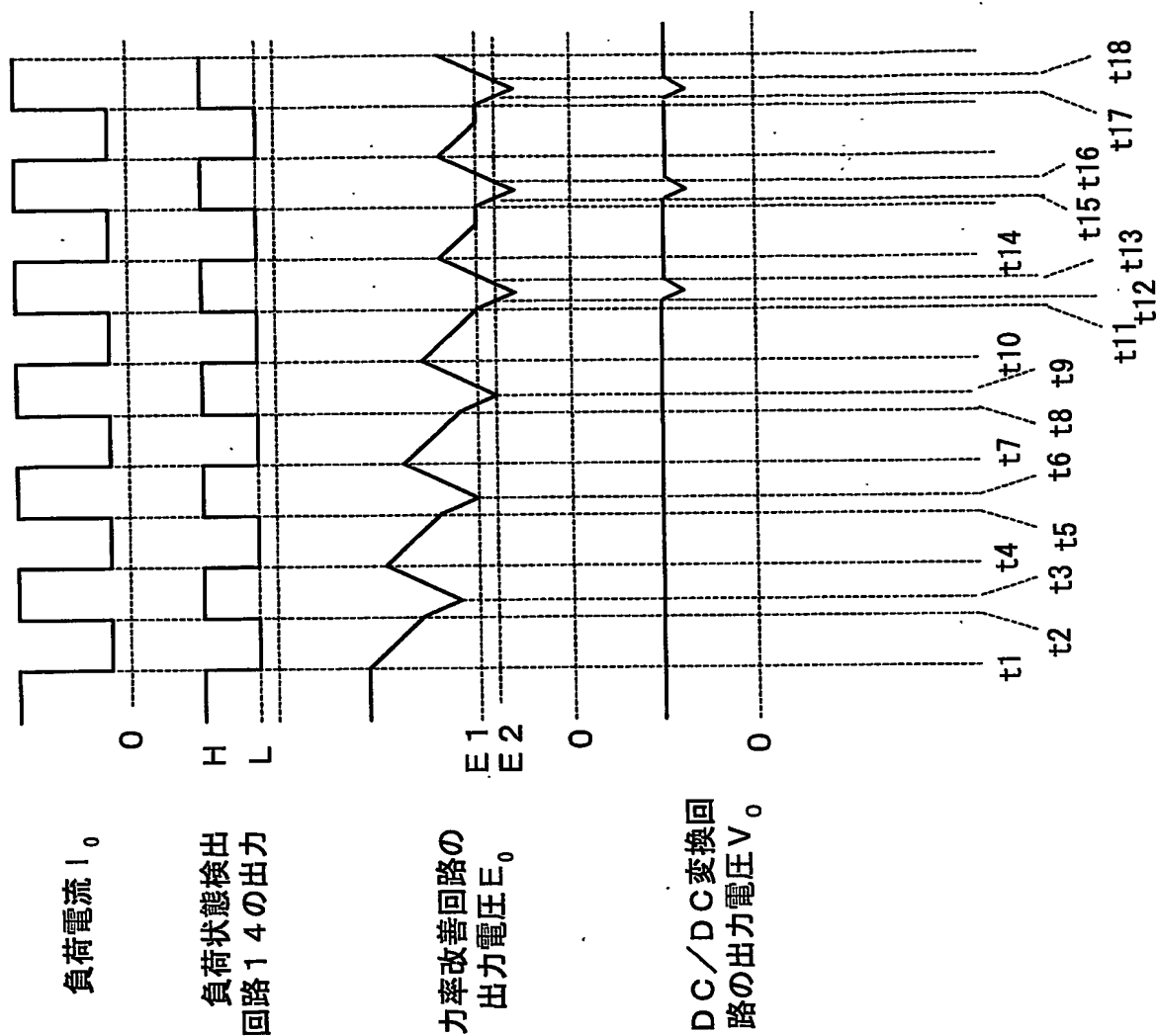


図 12

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15739

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H02M3/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H02M3/00-3/44, 7/00-7/40

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document; with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 8-111975 A (Sanken Electric Co., Ltd.), 30 April, 1996 (30.04.96), Par. Nos. [0011] to [0014]; Fig. 1 (Family: none)	1, 3-6, 8 2, 7
Y	JP 7-274498 A (Sanken Electric Co., Ltd.), 20 October, 1995 (20.10.95), Par. Nos. [0011] to [0013]; Figs. 1 to 2 (Family: none)	1, 3-6, 8
Y	JP 2002-58239 A (Texas Instruments Japan Ltd.), 22 February, 2002 (22.02.02), Par. Nos. [0029] to [0070]; Figs. 1 to 3 (Family: none)	1, 3-6, 8

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier document but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search
05 March, 2004 (05.03.04)

Date of mailing of the international search report
23 March, 2004 (23.03.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/15739

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2000-139075 A (NEC Corp.), 16 May, 2000 (16.05.00), Par. Nos. [0005] to [0032]; Figs. 1 to 3 (Family: none)	1, 3-6, 8
A	US 5949226 A (Hiroto TANAKA et al.), 07 September, 1999 (07.09.99), Full text; Figs. 1 to 21B & JP 8-340670 A	1-8
A	EP 1102387 A2 (SANKEN ELECTRIC CO., LTD.), 23 May, 2001 (23.05.01), Full text; Figs. 1 to 3C & JP 2001-157450 A	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/28

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H02M 3/00-3/44, 7/00-7/40

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP 8-111975 A (サンケン電気株式会社) 30.04.1996, 【0011】-【0014】, 図1 (ファミリーなし)	1,3-6,8 2,7
Y	JP 7-274498 A (サンケン電気株式会社) 20.10.1995, 【0011】-【0013】, 図1-2 (ファミリーなし)	1,3-6,8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリ

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

05.03.2004

国際調査報告の発送日

23.3.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

櫻田 正紀

3V

2917

電話番号 03-3581-1101 内線 3356

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-58239 A (日本テキサス・インスツルメンツ株式会社) 22.02.2002, 【0029】-【0070】, 図1-3 (ファミリーなし)	1,3-6,8
Y	JP 2000-139075 A (日本電気株式会社) 16.05.2000, 【0005】-【0032】, 図1-3 (ファミリーなし)	1,3-6,8
A	US 5949226 A (Hiroto TANAKA et al.) 07.09.1999, 全文, 図1-21B & JP 8-340670 A	1-8
A	EP 1102387 A2 (SANKEN ELECTRIC CO., LTD) 23.05.2001, 全文, 図1-3C & JP 2001-157450 A	1-8